

Written Amendment

(Amendment in accordance with the provisions
of Article 11 of the law)

Patent Office Examiner: Masayuki Yanagishita

1. Identification of the International
Application

PCT/JP03/00403

2. Applicant

Name HITACHI, LTD.

Address 6, Kanda Surugadai 4-chome,
Chiyoda-ku.

TOKYO 101-8010 JAPAN

Country of Nationality JAPAN

Country of residence JAPAN

3. Agent

Name (8907) TAMURA Shizuyo

Address Room 42, Shin Yamashiro
Building,
10, Kanda Ogawamachi 2-chome,
Chiyoda-ku,
TOKYO 101-0052 JAPAN

4. What is to be amended

Claims

5. Description of Amendment

(1) Claim 3 is deleted.

(2) The following is prefixed to "wherein the dynamic terminator resistor circuit comprises" described on the third line of Claim 4:

"A semiconductor integrated circuit comprising: an input pad; and an input circuit for taking in external signals through the input pad,

wherein the input circuit includes a dynamic terminator resistor circuit that can be adjusted so that the input impedance during input signal transition is lower than the input impedance on other occasions than input signal transition," and

"according to Claim 3" described on the first line of Claim 4 is deleted.

(3) The following is prefixed to "wherein the dynamic terminator resistor circuit comprises" described on the third line of Claim 5:

"A semiconductor integrated circuit comprising: an input pad; and an input circuit

for taking in external signals through the input pad,

wherein the input circuit includes a dynamic terminator resistor circuit that can be adjusted so that the input impedance during input signal transition is lower than the input impedance on other occasions than input signal transition," and

"according to Claim 3" on the first line of Claim 5 is deleted.

6. List of attached documents

Claims on page 25, page 25/1, and page 26

Claims

3. (Deleted)

4. (Amended) A semiconductor integrated circuit comprising:

an input pad; and

an input circuit for taking in external signals through the input pad,

wherein the input circuit includes a dynamic terminator resistor circuit that can be adjusted so that the input impedance during input signal transition is lower than the input impedance on other occasions than input signal transition, and

wherein the dynamic terminator resistor circuit comprises:

a first logic circuit for inverting the logic of a signal transmitted through the input pad;

a second logic circuit for inverting the logic of the output signal of the first logic circuit; and

a resistor that can connect the input terminal of the first logic circuit with the output terminal of the second logic circuit.

5. (Amended) A semiconductor integrated circuit comprising:

an input pad; and

an input circuit for taking in external signals through the input pad,

wherein the input circuit includes a dynamic terminator resistor circuit that can be adjusted so that the input impedance during input signal transition is lower than the input impedance on other occasions than input signal transition, and

wherein the dynamic terminator resistor circuit comprises:

a first logic circuit for inverting the logic of a signal transmitted through the input pad;

a second logic circuit for inverting the logic of the output signal of the first logic circuit;

a resistor that can connect the input terminal of the first logic circuit with the output terminal of the second logic circuit; and

a third logic circuit for transmitting the output signal of the first logic circuit to an

internal circuit.

手続補正書

(法第 11 条の規定による補正)

特許庁審査官 柳 下 勝 幸 殿

1. 国際出願の表示 PCT/JPO3/00403

5 2. 出願人

名称 株式会社 日立製作所

H I T A C H I , L T D .

あて名 〒101-8010

日本国東京都千代田区神田駿河台四丁目6番地

10 6, Kanda Surugadai 4-chome, Chiyoda-ku,

T O K Y O 1 0 1 - 8 0 1 0 J A P A N

国籍 日本国 J A P A N

住所 日本国 J A P A N

3. 代理人

15 氏名 (8907) 弁理士 玉 村 静 世

T A M A M U R A S h i z u y o

あて名 〒101-0052

日本国東京都千代田区神田小川町2丁目10番地

新山城ビル42号

20 Room 42, Shin Yamashiro Building,

10, kanda Ogawamachi 2-chome, Chiyoda-ku,

T O K Y O 1 0 1 - 0 0 5 2 J A P A N

4. 補正の対象

請求の範囲

25 5. 補正の内容

(1) 請求の範囲第3項を削除する。

(2) 請求の範囲第4項第1行目に記載の「上記動的終端抵抗回路は、」の前に、『入力パッドと、上記入力パッドを介して外部からの信号を取り込むための入力回路とを含む半導体集積回路であって、

5 上記入力回路は、入力信号遷移時の入力インピーダンスが、入力信号遷移時以外の入力インピーダンスよりも小さくなるように調整可能な動的終端抵抗回路を含み、』を追加し、

請求の範囲第4項第6行目に記載の「請求の範囲第3項に記載の」を削除する。

10 (3) 請求の範囲第5項第1行目に記載の「上記動的終端抵抗回路は、」の前に、『入力パッドと、上記入力パッドを介して外部からの信号を取り込むための入力回路とを含む半導体集積回路であって、

上記入力回路は、入力信号遷移時の入力インピーダンスが、入力信号遷移時以外の入力インピーダンスよりも小さくなるように調整可能な動的終端抵抗回路を含み、』を追加し、

15 請求の範囲第5項第8行目に記載の「請求の範囲第3項に記載の」を削除する。

6. 添付書類の目録

請求の範囲第25頁、第25／1頁及び第26頁

以 上

請 求 の 範 囲

1. 信号を取り込むための入力回路と、信号を出力するための出力回路と、を含む半導体集積回路であって、

5 上記入力回路は、入力信号遷移時の入力インピーダンスが、入力信号遷移時以外の入力インピーダンスよりも小さくなるように設定され、

 上記出力回路は、信号遷移の後半での駆動力が遷移の前半の駆動力よりも低め設定されて成ることを特徴とする半導体集積回路。

10 2. 上記入力回路と上記出力回路とは、信号の入出力を可能とするパッドに共通接続されて成る請求の範囲第1項に記載の半導体集積回路。

3. (削除)

4. (補正後) 入力パッドと、上記入力パッドを介して外部からの信号を取り込むための入力回路とを含む半導体集積回路であって、

15 上記入力回路は、入力信号遷移時の入力インピーダンスが、入力信号遷移時以外の入力インピーダンスよりも小さくなるように調整可能な動的終端抵抗回路を含み、

 上記動的終端抵抗回路は、上記入力パッドを介して伝達された信号の論理を反転するための第1論理回路と、

20 上記第1論理回路の出力信号の論理を反転するための第2論理回路と、

 上記第1論理回路の入力端子と上記第2論理回路の出力端子とを結合可能な抵抗と、を含んで成る半導体集積回路。

5. (補正後) 入力パッドと、上記入力パッドを介して外部からの信号を取り込むための入力回路とを含む半導体集積回路であって、

25 上記入力回路は、入力信号遷移時の入力インピーダンスが、入力信号遷移時以外の入力インピーダンスよりも小さくなるように調整可能な

動的終端抵抗回路を含み、

上記動的終端抵抗回路は、上記入力パッドを介して伝達された信号の論理を反転するための第1論理回路と、

上記第1論理回路の出力信号の論理を反転するための第2論理回路
5 と、

上記第 1 論理回路の入力端子と上記第 2 論理回路の出力端子とを結合可能な抵抗と、

上記第 1 論理回路の出力信号を内部回路へ伝達するための第 3 論理回路と、を含んで成る半導体集積回路。

5 6. 上記抵抗の回路動作への関与を制御可能なスイッチ回路を含む請求の範囲第 4 項又は第 5 項に記載の半導体集積回路。

7. 上記動的終端抵抗回路は、上記入力パッドを介して伝達された信号の論理を反転するための第 1 論理回路と、

10 上記第 1 論理回路の出力信号の論理を反転するための第 2 論理回路と、

上記第 1 論理回路の入力端子と上記第 2 論理回路の出力端子とを結合可能な複数の抵抗と、

15 上記複数の抵抗を選択的に回路動作に関与させるためのスイッチ回路と、を含んで成る請求の範囲第 4 項又は第 5 項に記載の半導体集積回路。

8. 内部回路と、上記内部回路の出力信号を外部出力可能な出力回路とを含む半導体集積回路であって、

上記出力回路は、出力すべき信号の遷移の前半に、上記内部回路の出力信号に基づいて外部負荷を駆動可能な第 1 出力回路と、

20 上記第 1 出力回路に比べて駆動力が小さく設定され、上記外部負荷を駆動可能な第 2 出力回路と、

を含むことを特徴とする半導体集積回路。

25 9. 上記外部負荷の電圧レベルに応じて、上記第 1 出力制御回路と上記第 2 出力回路とを選択的に回路動作に関与させるためのレベルモニタ回路を含む請求の範囲第 8 項に記載の半導体集積回路。

10. 上記第 2 出力回路は、高電位側電源側に配置された n チャンネル型